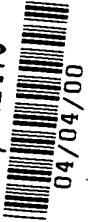


日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

41/Prior
Paper
923 W
G. Carl

JC658 U.S. PTO
09/542473



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 4月 7日

出願番号
Application Number:

平成11年特許願第099683号

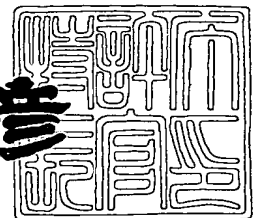
出願人
Applicant(s):

株式会社半導体エネルギー研究所

2000年 2月25日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3009812

【書類名】 特許願

【整理番号】 P004154-01

【提出日】 平成11年 4月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 池田 隆之

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

同一基板上に画素部と駆動回路部とを有する半導体装置において、
前記画素部に形成される画素 T F T の活性層は、ソース領域及びドレイン領域の間に低濃度不純物領域、チャネル形成領域及び高濃度不純物領域を有し、
前記チャネル形成領域及び高濃度不純物領域はゲート電極の下に設けられ、
前記低濃度不純物領域は、一部がゲート絶縁膜を介して前記ゲート電極に重なっていることを特徴とする半導体装置。

【請求項 2】

同一基板上に画素部と駆動回路部とを有する半導体装置において、
前記画素部に形成される画素 T F T の活性層は、ソース領域及びドレイン領域の間に低濃度不純物領域、チャネル形成領域及び高濃度不純物領域を有し、
前記チャネル形成領域及び高濃度不純物領域はゲート電極の下に設けられ、
前記低濃度不純物領域は、ゲート絶縁膜を介して前記ゲート電極に重なる領域と重ならない領域とを有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、前記低濃度不純物領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で 15 族に属する元素が含まれ、前記高濃度不純物領域には $5 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度で前記元素が含まれていることを特徴とする半導体装置。

【請求項 4】

請求項 1 又は請求項 2 において、前記駆動回路部を形成する T F T のゲート絶縁膜の膜厚は、前記画素 T F T のゲート絶縁膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 5】

請求項 1 又は請求項 2 において、前記駆動回路部を形成する T F T のゲート絶縁膜と前記画素部に形成される保持容量の誘電体とは同一材料でなり、且つ、同

一の膜厚を有することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかに記載の半導体装置を表示媒体として備えたことを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置とは、ビデオカメラ、デジタルスチルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末または記録媒体を備えた画像再生装置であることを特徴とする半導体装置。

【請求項 8】

基板上に半導体層を形成する第 1 工程と、
前記半導体層の一部に 15 族に属する元素を添加して低濃度不純物領域を形成する第 2 工程と、
前記半導体層に前記第 2 工程よりも高い濃度で 15 族に属する元素を添加して高濃度不純物領域を形成する第 3 工程と、
前記半導体層上に絶縁膜を形成する第 4 工程と、
前記絶縁膜上にゲート電極及び容量電極を形成する第 5 工程と、
を有し、
前記高濃度不純物領域は前記ゲート電極の下方及び前記容量電極の下方に形成されることを特徴とする半導体装置の作製方法。

【請求項 9】

画素 T F T と保持容量を備えた複数の画素からなる画素部を有する半導体装置の作製方法において、
基板上に半導体層を形成する第 1 工程と、
前記半導体層の一部に 15 族に属する元素を添加して低濃度不純物領域を形成する第 2 工程と、
前記半導体層に前記第 2 工程よりも高い濃度で 15 族に属する元素を添加して高濃度不純物領域を形成する第 3 工程と、
前記半導体層上に第 1 絶縁膜を形成する第 4 工程と、

前記保持容量となる領域において前記第 1 絶縁膜を除去する第 5 工程と、

前記第 5 工程で露呈した半導体層上に前記第 1 絶縁膜よりも膜厚の薄い第 2 絶縁膜を形成する第 6 工程と、

前記第 1 絶縁膜上にゲート電極を形成すると同時に、前記第 2 絶縁膜上に容量電極を形成する第 7 工程と、

を有し、

前記高濃度不純物領域は前記ゲート電極の下方及び前記容量電極の下方に形成されることを特徴とする半導体装置の作製方法。

【請求項 1 0】

請求項 8 又は請求項 9 において、前記低濃度不純物領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で 1 5 族に属する元素が添加され、前記高濃度不純物領域には $5 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度で前記元素が添加されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F T という）で形成された回路を有する半導体装置に関する。例えば、液晶ディスプレイに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

T F T (Thin Film Transistor) は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、A M - L C D という）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用した T F T は高移動度を得られるので、同一基板上に機能回路を集積さ

せて高精細な画像表示を実現することが可能とされている。

【 0 0 0 4 】

基本的にAM-LCDは画像を表示する画素部（複数の画素が配列された領域）と、画素部に配列された各画素のTFTを駆動する駆動回路部とが同一基板上に形成されてなる。さらに、駆動回路部はゲート線を駆動するゲート線駆動回路（ゲートドライバー回路）、各TFTへ画像信号を送るソース線駆動回路（ソースドライバー回路）とに区別される。

【 0 0 0 5 】

近年では、これら画素部と駆動回路（周辺駆動回路ともいう）部の他に、信号分割回路や γ 補正回路などといった画素部及び駆動回路以外の論理回路部をも同一基板上に設けたシステム・オン・パネルが提案されている。

【 0 0 0 6 】

しかしながら、画素部と駆動回路部とではTFTに求められる性能が異なるため、同一構造のTFTで全ての仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタ回路等の駆動回路を形成するTFTと、高耐圧特性を重視する画素TFTとを同時に満足させるTFT構造は確立されていないのが現状である。

【 0 0 0 7 】

【発明が解決しようとする課題】

本願発明は上記問題点を鑑みてなされたものであり、TFT仕様（TFTが求められる性能）に応じて適切な構造のTFTを配置し、回路特性の優れた電気光学装置を提供することを課題とする。

【 0 0 0 8 】

また、画素部では、小さい面積で大容量を確保しうる保持容量を形成するための構造を提供する。さらに、小さい面積で十分にオフ電流値の低い画素TFTの構造を提供する。

【 0 0 0 9 】

そして、高性能で高い信頼性を有する電気光学装置を実現し、そのような電気光学装置を表示媒体（表示手段）として有する電子機器の性能および信頼性を高

めることを課題とする。

【0010】

【課題を解決するための手段】

本明細書では上記課題を解決するために、半導体装置の各部位（例えば駆動回路部や画素部）において各部位の機能に応じてTFT構造を変え、半導体装置全体の性能を向上させる構成とする。

【0011】

即ち、動作速度が高速であることを重視する部位（シフトレジスタ回路等を含む駆動回路など）にはゲート電極とLDD領域が重なる（オーバーラップする）構造としてホットキャリア注入による劣化に強いTFTを配置する。特に、電界効果移動度の高いNチャネル型TFTにおいてこの構造は効果的である。またその際、LDD領域は完全にゲート電極と重なるようにして抵抗成分をできるだけ減らす構造とする。さらに抵抗成分を減らすにはドレイン領域側のみにLDD領域を設けるといった構造が好ましい。

【0012】

一方で、オフ電流値が低いことを重視する部位（画素TFTを含む画素部やサンプリング回路など）はLDD領域がゲート絶縁膜を介してゲート電極に重なる領域と重ならない領域とを有することでオフ電流値を低減する構造となっている。オフ電流値を低減するには、LDD領域のうちゲート電極と重ならない領域が非常に重要な役目を果たしている。

【0013】

また、動作速度が高速であることを重視する部位では、ゲート絶縁膜の厚さを画素TFTのゲート絶縁膜よりも薄くすることで動作速度を高めている。これは動作速度を重視する部位では画素TFTほどのゲート絶縁耐圧を求められないからであって、画素TFT、バッファ回路、サンプリング回路等ではそのように薄くすることは好ましいものではない。

【0014】

しかし、本願発明のように画素部に保持容量を形成する場合、保持容量はできるだけ小さい面積で大きな容量を保持できるようにする必要があるため、その誘

電体の膜厚は可能な限り薄いことが好ましい。

【0015】

そこで、本願発明では、駆動回路などの動作速度を重視する部位に形成するTFTのゲート絶縁膜と、画素部に形成する保持容量の誘電体とを同時に形成することで工程数を簡略化することも特徴の一つとしている。

【0016】

また、本願発明の画素TFTは、ゲート電極の下に、ゲート絶縁膜を介して少なくとも二つのチャネル形成領域とチャネル形成領域の間に設けられた高濃度不純物領域を有し、且つ、ソース領域及びドレイン領域に接して一对の低濃度不純物領域を有する。そして、この低濃度不純物領域はゲート絶縁膜を介してゲート電極に重なる領域と重ならない領域とを有する。このような構造とすることで、従来のダブルゲート構造のTFTと同等の性能を、さらに小さい面積のシングルゲート構造で得ることが可能となる。

【0017】

以上のように、画素部に関しては、保持容量及び画素TFTの占有面積を縮小化することで、画像表示の可能な領域を大きくする（開口率を向上させる）ことが可能となる。

【0018】

【発明の実施の形態】

本願発明の実施形態について、図1を用いて説明する。図1は同一基板上に駆動回路部と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここでは駆動回路部を構成する基本回路としてCMOS回路を示している。また、画素TFTとしては一つのゲート配線の下に二つのチャネル形成領域が形成される構造を示しているが、チャネル形成領域は三つ以上設けられても良い。

【0019】

図1において、101は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を含む絶縁膜）を設けても構わない。

【0020】

基板101の上には駆動回路を形成するTFT（以下、ドライバーTFTという）の活性層、各画素に具備されるTFT（以下、画素TFTという）の活性層および保持容量の電極となる半導体層が形成される。

【0021】

図1において、ドライバーTFTの活性層は、Nチャネル型TFT（以下、NTFTという）のソース領域102、ドレイン領域103、ゲート絶縁膜を介してゲート配線と重なった低濃度不純物領域（以下、本明細書中ではLDD領域という）104およびチャネル形成領域105、並びにPチャネル型TFT（以下、PTFTという）のソース領域106、ドレイン領域107およびチャネル形成領域108で形成される。なお、LDDとはLightly Doped Drainの略である。

【0022】

また、画素TFT（ここではNTFT）の活性層は、ソース領域109、ドレイン領域110、LDD領域111a～111dおよびチャネル形成領域112a、112bで形成される。また、チャネル形成領域112aと112bとの間には高濃度に15族に属する元素が添加された高濃度不純物領域（以下、本明細書中では分離領域という）113が存在する。この領域はオフ電流値（TFTがオフ動作時に流れるドレイン電流値）を低くする上で非常に重要である。

【0023】

この時、ドライバーTFTのLDD領域104や画素TFTのLDD領域111a～111dには $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で15族に属する元素（代表的にはリン又は砒素）が含まれている。また、画素TFTの分離領域113には $5 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度で15族に属する元素（代表的にはリン又は砒素）が含まれている。

【0024】

さらに、ドレイン領域110から延長された半導体層を保持容量の電極（以下、第1容量電極という）114として用いる。厳密に言うと、第1容量電極11

4 とは画素電極と電氣的に接続された半導体層と呼ぶことができる。即ち、ここではドレイン領域から延長された半導体層で形成されているが、ドレイン領域と電氣的に接続された領域であれば良い。

【0025】

なお、ここでは説明の便宜上、109の領域をソース領域、110の領域をドレイン領域と呼んでいるが、画素TFTに流れるドレイン電流の向きによって、ソース領域とドレイン領域とが入れ替わる場合もある。従って、109をドレイン領域と呼び、110をソース領域と呼んでも差し支えない。

【0026】

また、シングルゲート構造のゲート配線の下に二つ以上のチャネル形成領域（112a、112b）と、それらを分離する高濃度不純物領域（111b、111c、113）とを設けることで、従来のダブルゲート構造よりも小さい面積で同等の性能を有する画素TFTを実現している。

【0027】

似たような構造が特開平7-326767号公報に記載されているが、同公報記載の構造は通常のLDD構造である。そのため、同公報記載の構造はオフ電流値の増加を抑えることはできるが、ホットキャリア注入によるオン電流（TFTがオン動作時に流れるドレイン電流）の劣化に対しては弱い構造である可能性が高い。

【0028】

一方、本願発明の構造が上記公報記載の構造と異なる点は、ソース領域109に接するLDD領域111aと、ドレイン領域110に接するLDD領域111dが、ゲート配線121にゲート絶縁膜を介して重なる部分と重ならない部分とを有している点にある。本願発明の構造では、LDD領域とゲート配線とが重なる部分でオン電流値の劣化を抑制し、LDD領域とゲート配線とが重ならない部分でオフ電流値の増加を抑制している。即ち、オン電流値の劣化とオフ電流値の増加とを同時に抑制することが可能である。

【0029】

次に、活性層および第1容量電極を覆ってゲート絶縁膜が形成されるが、図1

ではドライバーTFTのゲート絶縁膜115（NTFT側）、116（PTFT側）が、画素TFTのゲート絶縁膜117よりも薄く形成される。代表的には、ゲート絶縁膜115、116の膜厚は5～50nm（好ましくは10～30nm）とし、ゲート絶縁膜117の膜厚は50～200nm（好ましくは100～150nm）とすれば良い。

【0030】

なお、ドライバーTFTのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路内に異なる絶縁膜を有するドライバーTFTが存在していても構わない。その場合、同一基板上に異なるゲート絶縁膜を有するTFTが少なくとも三種類以上存在することになる。また、ドライバーTFTのゲート絶縁膜の膜厚と保持容量の誘電体の膜厚が異なり、且つ、それらが画素TFTのゲート絶縁膜の膜厚と異なるという場合もありうる。例えば、ドライバーTFT（特に高速動作を必要とする回路）が5～10nm、画素TFTが100～150nmのゲート絶縁膜を有し、保持容量の誘電体が30～50nmという場合である。

【0031】

但し、図1の構造においては、保持容量の誘電体118がドライバーTFTのゲート絶縁膜115、116と同時に形成された絶縁膜で形成される。即ち、ドライバーTFTのゲート絶縁膜と保持容量の誘電体と同じ膜厚の同一絶縁膜で形成された構成となる。

【0032】

このように保持容量の誘電体を薄くすることで、容量を形成する面積を大きくすることなくキャパシティを稼ぐことができる。また、TFTの作製工程を増やすこともないという利点が得られる。

【0033】

次に、ゲート絶縁膜115～117の上にはドライバーTFTのゲート配線119、120と、画素TFTのゲート配線121が形成される。また、同時に保持容量の誘電体118の上には保持容量の電極（以下、第2容量電極という）122が形成される。ゲート配線119～121および第2容量電極122の形成材料としては、700～1150℃（好ましくは900～1100℃）の温度に

耐える耐熱性を有する導電膜を用いる。

【0034】

代表的には、導電性を有する珪素膜（例えばリンドーブシリコン膜、ボロンドープシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）またはこれらの材料を組み合わせた合金膜でも良い。また、以上の薄膜を自由に組み合わせて積層した積層膜でも良い。

【0035】

また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。図1では窒化酸化珪素膜（酸素、窒素、珪素が所定の割合で存在する絶縁膜）でなる保護膜123を設けてゲート配線の酸化を防ぐ。窒化酸化珪素膜以外にも、酸化珪素膜、窒化珪素膜を用いても良い。本明細書中ではこれらの絶縁膜をまとめて、珪素を含む絶縁膜と呼ぶ。

【0036】

次に、124は第1層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。そして、第1層間絶縁膜124にはコンタクトホールが設けられ、CMOS回路のソース配線125、126、ドレイン配線127、および画素TFTのソース配線128、ドレイン配線129が形成される。その上にはパッシベーション膜130、第2層間絶縁膜131が形成され、さらにその上には遮蔽膜（遮光膜ともいう）132が形成される。さらに、遮蔽膜132の上には第3層間絶縁膜133が形成され、コンタクトホールを設けた後、画素電極134が形成される。

【0037】

第2層間絶縁膜131や第3層間絶縁膜133としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを用いることができる。また、有機系SiO化合物などを用いることもできる。

【0038】

また、画素電極 134 としては、透過型 AM-LCD を作製するのであればITO 膜に代表される透明導電膜を、反射型 AM-LCD を作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

【0039】

なお、図 1 では画素電極 134 がドレイン電極 129 を介して画素 TFT のドレイン領域 110 と電氣的に接続されているが、画素電極 134 とドレイン領域 110 とが直接的に接続するような構造としても良い。

【0040】

以上のような構造でなる AM-LCD は、ドライバー TFT のゲート絶縁膜が画素 TFT のゲート絶縁膜よりも薄く、高速動作を重視した構造になっている。その一方で、画素 TFT はゲート絶縁膜がドライバー TFT よりも厚く、ゲート絶縁耐性を重視した構造となっている。

【0041】

また、画素 TFT が従来のダブルゲート構造よりも小さい面積で形成可能であり、且つ、LDD 領域の配置を工夫することによりオン電流の劣化とオフ電流の増加を同時に抑制している点に特徴がある。さらに、図示していないが画素 TFT の活性層の下方に遮蔽膜を形成しておくこと、光漏れによるリーク電流も低減させることができる。

【0042】

さらに、保持容量の誘電体を薄くすることで保持容量の占有面積を小さくしているので、画素 TFT の小面積化との相互作用により開口率（有効表示領域）の高い画素部が実現されている。この誘電体は、ドライバー TFT のゲート絶縁膜を形成する際に同時に形成することで、工程数を増やすことなく形成することができる。

【0043】

以上のように、駆動回路及び画素部の機能に応じて最適な TFT を配置し、画素 TFT や保持容量の縮小化を図ることで、高性能で高い信頼性を有する半導体装置（電気光学装置も電子機器も含む）を作製することが可能である。

【 0 0 4 4 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 4 5 】

【実施例】

〔実施例 1〕

本実施例では、「発明の実施の形態」で説明した図 1 の構造を実現するための作製工程について説明する。説明には図 2 ～ 4 を用いる。

【 0 0 4 6 】

まず、基板として石英基板 2 0 2 を用意し、その上に非晶質珪素膜 2 0 3 を形成する。この時、下地膜として珪素を含む絶縁膜を形成した上で大気解放しないまま連続的に非晶質珪素膜を形成しても良い。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

(図 2 (A))

【 0 0 4 7 】

なお、本実施例では非晶質珪素 (アモルファスシリコン) 膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素 (マイクロクリスタルシリコン) 膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的に T F T が完成した状態で 2 5 ～ 4 0 nm となるように形成する。本実施例では熱酸化工程で 2 5 nm の膜減りを見込んで、予め 6 5 nm の膜厚とする。

【 0 0 4 8 】

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平 9 - 3 1 2 2 6 0 号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いている。

【 0 0 4 9 】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜 2 0 3 上にニッケルを含んだ層 (図示せず) を形成し、5 5 0 ℃ 4 時間の熱処理を行って結晶化

する。そして、結晶質珪素（ポリシリコン）膜 204 を得る。（図 2（B））

【0050】

なお、ここで結晶質珪素膜 204 に対して TFT のしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか片方のみを添加しても良い。

【0051】

また、本実施例では上記公報により、ニッケルを含む溶液を非晶質珪素膜上に塗布する手段を用いるが、ニッケルを含んだ層を形成するにあたってスパッタ法や蒸着法を用いることもできる。

【0052】

次に、結晶質珪素膜 204 上に 100nm 厚の酸化珪素膜でなるマスク膜 205 を形成し、その上にレジストマスク 206a、206b を形成する。さらにレジストマスク 206a、206b をマスクとしてマスク膜 205 をエッチングし、開口部 207a、207b を形成する。

【0053】

この状態で 15 族に属する元素（本実施例ではリン）を添加し、リンドープ領域（リン添加領域）208a、208b を形成する。なお、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。（図 2（C））

【0054】

次に、レジストマスク 206a、206b を除去して 450～650℃（好ましくは 500～600℃）の熱処理を 2～16 時間加え、結晶質珪素膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るためには熱履歴の最高温度から ±50℃ 程度の温度が必要であるが、結晶化のための熱処理が 550～600℃ で行われるため、500～650℃ の熱処理で十分にゲッタリング作用を得ることができる。

【0055】

本実施例では600℃、12時間の熱処理を加えることによってニッケルが矢印(図2(D)参照)の方向に移動し、リンドープ領域208a、208bにゲッタリングされる。こうして209a、209bで示される結晶質珪素膜に残存するニッケルの濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下)にまで低減される。但し、この濃度は質量二次イオン分析(SIMS)による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。(図2(D))

【0056】

こうしてニッケルのゲッタリング工程が終了したら、結晶質珪素膜209a、209bをパターニングして、CMOS回路用の活性層(半導体層)210、画素TFT用及び保持容量用の活性層211を形成する。その際、ニッケルを捕獲したリンドープ領域208a、208bは完全に除去してしまうことが望ましい。(図3(A))

【0057】

次にプラズマCVD法により110nm厚の酸化珪素膜212を形成し、その上にレジストマスク213a~213dを形成する。次に、その状態で15族に属する元素の添加工程を行う。本実施例では、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$)の濃度でリンを含む不純物領域(n^- 領域)214a~214dを形成する。(図3(B))

【0058】

この工程では基本的にNTFTとなる領域に対してリンを添加する。但し、CMOS回路のNTFTは、後にチャネル形成領域とソース領域となる領域の上にレジストマスク213aを設け、ドレイン領域となる領域のみに n^- 領域214aを形成する。また、画素TFTにおいては後のチャネル形成領域216a、216bが画定する。

【0059】

次に、レジストマスク213a~213dを除去し、新たにレジストマスク217a、217bを形成する。そしてその状態で、再び15族に属する元素の添加工程を行う。本実施例では、 $5 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (好ましくは $1 \times$

$10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$) の濃度でリンを含む不純物領域 (n^+ 領域) 218a、218bを形成する。(図3 (C))

【0060】

このとき形成される n^+ 領域 (分離領域) 218aは、後にゲート配線下においてチャンネル形成領域を分離するための領域として機能する。また、同時に形成される n^+ 領域 218bは保持容量の電極 (第1容量電極) として機能する。本実施例は、これらの領域を同時に形成するため、特に工程数を増やすことがないという利点がある。

【0061】

さらに、この工程により画素TFTのLDD領域 (但しチャンネル形成領域 216aと216bとの間に設けられる分) 219a、219bが画定する。

【0062】

次に、酸化珪素膜 212 を除去し、プラズマCVD法またはスパッタ法により珪素を含む絶縁膜を形成し、パターンングすることによりゲート絶縁膜 220 を形成する。このゲート絶縁膜 220 は画素TFTのゲート絶縁膜として機能することになる絶縁膜であり、本実施例では60nm厚の酸化珪素膜を用いる。但し、後の熱酸化工程で膜厚が増加するので、それを考慮して最終的に50～200nm (好ましくは80～120nm) となるようにする。(図3 (D))

【0063】

この時、ゲート絶縁膜 220 は画素TFTの上に残すように形成してCMOS回路および保持容量となる領域の上は除去する。なお、本実施例ではCMOS回路のみで説明しているが、実際には駆動回路の一部 (特に高速動作を要求される回路) となる領域の上において除去する。そのため、バッファ回路やサンプリング回路 (サンプルホールド回路ともいう) などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜 220 と同じ膜厚の絶縁膜を残しておくことが望ましい。

【0064】

こうして図3 (D) の状態が得られたら、次に、800～1150℃ (好ましくは900～1100℃) の温度で15分～8時間 (好ましくは30分～2時間

）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中で 9 5 0 ℃ 3 0 分の熱処理工程を行う。

【 0 0 6 5 】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、結晶化に用いたニッケルを除去する効果も期待できるので有効である。

【 0 0 6 6 】

こうして熱酸化工程を行うことによりドライバー T F T と保持容量となる領域において露呈した半導体層の表面には、5 ～ 5 0 nm（好ましくは 1 0 ～ 3 0 nm）の酸化珪素膜（熱酸化膜）2 2 1、2 2 2 が形成される。本実施例では 5 0 nm 厚の酸化珪素膜を形成し、酸化珪素膜 2 2 1 はドライバー T F T のゲート絶縁膜として、酸化珪素膜 2 2 2 は保持容量の誘電体として用いることにする。

【 0 0 6 7 】

また、画素 T F T に残存した酸化珪素膜でなるゲート絶縁膜 2 2 0 と、その下の半導体層との界面においても酸化反応が進行する。そのため、最終的に画素 T F T のゲート絶縁膜 2 2 3 の膜厚は、予め形成されていた 6 0 nm 厚の絶縁膜と熱酸化により形成された 5 0 nm 厚の絶縁膜とを合計して 1 1 0 nm の膜厚を有する絶縁膜となる。また、この熱酸化工程により約 2 5 nm の半導体層が酸化され、活性層 2 1 0、2 1 1 の膜厚は 4 0 nm となる。この膜厚が最終的に完成した T F T の活性層の膜厚となる。

【 0 0 6 8 】

こうして熱酸化工程を終了したら、次にドライバー T F T のゲート配線 2 2 4（N T F T 側）、2 2 5（P T F T 側）、画素 T F T のゲート配線 2 2 6、保持容量の電極（第 2 容量電極）2 2 7 を形成する。（図 3（E））

【 0 0 6 9 】

本実施例ではゲート配線 2 2 4 ～ 2 2 6 および第 2 容量電極 2 2 7 として、下層から珪素膜（導電性を持たせたもの）／窒化タングステン膜／タングステン膜

(または下層から珪素膜／タングステンシリサイド膜) という積層膜を用いる。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲート配線の膜厚は400nmとする。

【0070】

なお、本実施例では最下層の珪素膜を、減圧熱CVD法を用いて形成する。ドライバ回路のゲート絶縁膜は5～50nmと薄いため、スパッタ法やプラズマCVD法を用いた場合、条件によっては半導体層(活性層)へダメージを与える恐れがある。従って、化学的気相反応で成膜できる熱CVD法が好ましい。

【0071】

次に、レジストマスク228a、228bを形成して、再び15族に属する元素(本実施例ではリン)を添加する。この時添加するリンの濃度は、図3(C)の工程で添加したリンの濃度と同様で良い。(図4(A))

【0072】

この工程は、ゲート絶縁膜の膜厚が薄いドライバTFTと、ゲート絶縁膜の膜厚が厚い画素TFTとなる領域とで分けて行っても良いし、同時に行っても良い。また、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0073】

この工程によりCMOS回路のNTFTのソース領域229、ドレイン領域230、LDD領域231およびチャネル形成領域232が画定する。また、画素TFTのソース領域233、ドレイン領域234、LDD領域235a、235bが画定する。

【0074】

この時、LDD領域235a、235bは一部がゲート配線226と重なるように形成される。こうすることでいわゆるGOLD(Gate-drain Overlapped LDD)構造のようにホットキャリア注入に起因する劣化に強い構造を得ることが出来る。また、ゲート配線226に重ならない部分は、オフ電流の増加を防ぐために

絶大な効果をもつ。

【0075】

本実施例では、ソース領域233またはドレイン領域234に接するLDD領域235a、235bのうち、ゲート配線226に重なる部分の長さ（幅）を0.3～2.0 μm （好ましくは0.5～1.0 μm ）とし、重ならない部分の長さ（幅）を1.0～4.0 μm （好ましくは2.0～3.0 μm ）とする。

【0076】

次に、CMOS回路のPTFTとなる領域以外をレジストマスク236、237で隠し、13族に属する元素（本実施例ではボロン）の添加工程を行う。本実施例では $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンが添加されるように調節する。（図4（B））

【0077】

勿論、この工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0078】

この工程によりCMOS回路を形成するPTFTのソース領域238、ドレイン領域239、チャネル形成領域240が画定する。また、CMOS回路のNTFTのドレイン領域241が画定する。

【0079】

こうして全ての不純物領域を形成し終えたら、レジストマスク236、237を除去する。そして、ゲート配線224～226および第2容量電極227を覆って200nm厚の窒化酸化珪素膜でなる保護膜242を形成する。この保護膜242はゲート配線224～226および第2容量電極227の酸化を防ぐ効果をもつ。保護膜242として、他の珪素を含む絶縁膜を用いても良い。

【0080】

保護膜242を形成したら、600～1000℃（好ましくは600～850℃）の温度範囲で20分～12時間の熱処理工程を行う。本実施例では、800℃で1時間の熱処理を不活性雰囲気中において行う。この工程により添加した不

純物元素の活性化及び非晶質化した珪素膜の再結晶化を行う。

【 0 0 8 1 】

活性化が終了したら水素化処理を行う。水素化処理は熱処理またはプラズマ処理により励起させた水素を添加する処理であり、熱処理による場合は3～100%の水素を含む雰囲気中で300～450℃、2～6時間の熱処理工程を行えば良い。

【 0 0 8 2 】

次に第1層間絶縁膜243を形成する。本実施例では、プラズマCVD法により形成した800nm厚の酸化珪素膜を用いる。そして、コンタクトホールを形成した後、ソース配線244～246、ドレイン配線247、248を形成する。本実施例ではこれらの配線を、アルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成する。

【 0 0 8 3 】

先ほどの水素化処理は、ソース配線及びドレイン配線を形成した後で行っても良い。いずれにしてもソース配線及びドレイン配線を形成したら、次に、パッシベーション膜249を形成する。パッシベーション膜249としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では300nm厚の窒化珪素膜をパッシベーション膜として用いる。

【 0 0 8 4 】

なお、本実施例では窒化珪素膜を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜249を形成する。この前処理によりプラズマで活性化した（励起した）水素が第1層間絶縁膜243によって閉じこめられるため、TFTの活性層（半導体層）の水素終端を促進させることができる。

【 0 0 8 5 】

そして、パッシベーション膜249を形成したら350～450℃の熱処理工程を行う。これはパッシベーション膜249の膜質を改善するための熱処理ではあるが、同時に先ほどの水素化で第1層間絶縁膜中に添加された水素が熱拡散に

よって下層に下がるため。効率良く活性層を水素化することができる。勿論、この熱処理自体を、水素を含む雰囲気中で行っても構わない。

【0086】

次に、第2層間絶縁膜250として1 μ m厚のアクリル膜を形成する。アクリル膜以外にも、ポリイミド膜、ポリアミド膜、ポリイミドアミド膜またはBCB（ベンゾシクロブテン）膜等の有機系樹脂膜を用いることができる。これらの樹脂膜は比誘電率が低く、平坦性が高いため有効である。

【0087】

そして、その上に金属膜を200nmの厚さに形成してパターニングを行い、遮蔽膜251を形成する。本実施例では遮蔽膜251としてチタン膜またはアルミニウム膜とチタン膜との積層膜を用いる。

【0088】

次に、第2層間絶縁膜と同じく有機系樹脂材料でなる第3層間絶縁膜252を1 μ mの厚さに形成する。そして、第3層間絶縁膜、第2層間絶縁膜およびパッシベーション膜を順次エッチングして、ドレイン配線248に達するコンタクトホールを形成し、画素電極253を形成する。画素電極253は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成する。

【0089】

本願発明のAM-LCDは、同一基板上に形成された駆動回路（またはその他の論理回路）と画素部とでゲート絶縁膜の膜厚が異なる。代表的には、駆動回路に用いられるドライバーTFTの方が画素部に用いられる画素TFTよりも薄いゲート絶縁膜を有する。

【0090】

さらに、ドライバーTFTのゲート絶縁膜と、画素部に設けられる保持容量の誘電体を同時に形成することで工程簡略化を図る点にも特徴がある。なお、その場合には、ドライバーTFTのゲート絶縁膜と保持容量の誘電体が同一膜厚となる。

【0091】

このように本願発明は、ドライバー T F T のゲート絶縁膜を薄く形成するための工程を、保持容量の誘電体を薄くするための工程と兼ねる点に特徴がある。このような構成により面積を広げることなく保持容量のキャパシティを増加させることが可能となる。

【0092】

また、本実施例の作製工程に従うと、最終的な T F T の活性層（半導体層）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。ここでは、本実施例の作製工程に従って結晶質珪素膜を形成する段階まで実験的に行い、そうして形成した膜を分析した結果について以下に説明する。

【0093】

上記作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは T E M（透過型電子顕微鏡法）による観察で容易に確認できた。

【0094】

また、電子線回折及びエックス線（X線）回折を利用すると結晶質珪素膜の表面（チャネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として $\{110\}$ 面を有することを確認できた。本出願人がスポット径約 $1.5\mu\text{m}$ の電子線回折写真を詳細に観察した結果、 $\{110\}$ 面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0095】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界を H R - T E M（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0096】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0097】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0098】

特に結晶軸（結晶面に垂直な軸）が $\langle 110 \rangle$ 軸である場合、 $\{211\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指標となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0099】

本出願人が本実施例を実施して得た結晶質珪素膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち $\{211\}$ 双晶粒界であることが判明した。

【0100】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0101】

本実施例の結晶質珪素膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\{211\}$ 双晶粒界であるという結論に辿り着いた。

【0102】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の結晶粒界も存在した。

【0103】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶質珪素膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0104】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0105】

またさらに、700～1150℃という高い温度での熱処理工程（本実施例における熱酸化工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0106】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下（好ましくは 3×10^{17} spins/cm³ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0107】

以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有する結晶質珪素膜をCGS (Continuous Grain Silicon)と呼んでいる。

【0108】

CGSに関する記載は本出願人による特願平10-044659号、特願平1

0-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0109】

〔実施例2〕

本実施例では、具体的にどのような部位にどのような構造のTFTを配置するかを図5を用いて説明する。

【0110】

AM-LCDは、部位によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素TFTを駆動するための電圧とを考慮すると、14～20Vもの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度のTFTを用いなければならない。

【0111】

また、ソースドライバ回路やゲートドライバ回路に含まれるシフトレジスタ回路などは、5～10V程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の画素部に用いるようなTFTは耐圧特性が良い代わりに動作速度が犠牲なるため、シフトレジスタ回路のように高速動作が求められる回路には不適當である。

【0112】

このように、基板上に形成されるTFTは、目的に応じて耐圧特性を要求されるものと高速動作特性を要求されるものとに分かれる。

【0113】

ここで具体的に本実施例の構成を図5、図6に示す。図5（A）に示したのは、AM-LCDのブロック図を上面から見た図である。501は画素部であり、画像表示領域として機能する。また、502aはシフトレジスタ回路、502bはレベルシフト回路、502cはバッファ回路である。これらでなる回路が全体としてゲートドライバ回路を形成している。

【0114】

なお、図5（A）に示したAM-LCDではゲートドライバ回路を、画素部を

挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバ回路に不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0115】

また、503aはシフトレジスタ回路、503bはレベルシフタ回路、503cはバッファ回路、503dはサンプリング回路であり、これらでなる回路が全体としてソースドライバ回路を形成している。画素部を挟んでソースドライバ回路と反対側にはプリチャージ回路504が設けられている。

【0116】

このような構成でなるAM-LCDにおいて、シフトレジスタ回路502a、503aは高速動作を求める回路であり、動作電圧が3.3~10V（代表的には3.3~5V）と低く、高耐圧特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5~50nm（好ましくは10~30nm）と薄くした方が良い。

【0117】

図6（A）に示したのは主としてシフトレジスタ回路やその他の論理回路のように高速動作を求められる回路に用いるべきCMOS回路の概略図である。なお、図6（A）において、505はNTFTおよびPTFTのゲート絶縁膜であり、膜厚を5~50nm（好ましくは10~30nm）と薄く設計している。

【0118】

また、506はゲート配線と重なったLDD領域であり、ホットキャリア注入によるオン電流値の劣化を防ぐ効果を有する。なお、LDD領域506の長さは0.3~1 μ m（代表的には0.5~0.8 μ m）が好ましい。なお、ここではドレイン領域側のみに設けているが、少なくともドレイン領域側に設けてあれば良い。また、動作電圧が2~3Vなどのように十分低ければLDD領域を設けないことも可能である。

【0119】

次に、図6（B）に示すCMOS回路は、主としてレベルシフタ回路502b、503b、バッファ回路502c、503c、プリチャージ回路504に適している。これらの回路は大電流を流す必要があるため、動作電圧は14~16Vと

高い。特にゲートドライバ側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性（高耐圧特性）を有するTFTが必要となる。

【0120】

この時、図6（B）に示したCMOS回路において、NTFTおよびPTFTのゲート絶縁膜507の膜厚は、50～200nm（好ましくは100～150nm）に設計されている。このように良い耐圧特性を要求する回路は、図6（A）に示したシフトレジスタ回路などのTFTよりもゲート絶縁膜の膜厚を厚く（3～10倍）しておくことが好ましい。

【0121】

また、508はゲート配線と重なったLDD領域であり、ホットキャリア注入によるオン電流値の劣化を防ぐ。なお、LDD領域508の長さは0.5～2.0 μ m（代表的には1.0～1.5 μ m）が好ましい。この場合も、少なくともドレイン領域側に設けてあれば良い。

【0122】

次に、図6（C）に示す回路は、主としてサンプリング回路（アナログスイッチ回路ともいう）503dに適している。サンプリング回路も良い耐圧特性を要求するためNTFTおよびPTFTのゲート絶縁膜509の膜厚は、50～200nm（好ましくは100～150nm）に設計されている。

【0123】

また、サンプリング回路503dの場合、ソース領域とドレイン領域の機能が反転するため、チャネル形成領域の両側に挟み込むようにしてLDD領域を設ける必要がある。さらに、ホットキャリア対策だけでなく、オフ電流値も低くした方が好ましい。そのため、LDD領域510、511は画素TFTと同様にチャネル形成領域の両側に配置し、ゲート配線に重なった部分と、重ならない部分とを有するように形成すると良い。この場合、ゲート配線と重なったLDD領域の長さは0.3～2 μ m（代表的には1.0～1.5 μ m）、ゲート配線と重ならないLDD領域の長さは1.0～2.5 μ m（代表的には1.5～2.0 μ m）とすればよい。

【0124】

次に、図6(D)は画素部501の一面素の概略図を示している。画素TFTは液晶に印加する電圧分も加味されるため、14～16Vの動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を1フレーム期間保持しなければならないため、極力オフ電流は小さくしなければならない。

【0125】

そういった理由から、本実施例ではNTFTを用いてゲート絶縁膜512の膜厚を50～200nm(好ましくは100～150nm)としている。この膜厚は図6(B)、図6(C)に示したCMOS回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。

【0126】

また、LDD領域513、514は一部がゲート配線と重なるように形成される。この時、LDD領域513、514のうち、ゲート配線に重なる部分の長さ(幅)は0.3～2.0 μm (好ましくは0.5～1.0 μm)、重ならない部分の長さ(幅)は1.0～4.0 μm (好ましくは2.0～3.0 μm)とすれば良い。また、ゲート配線の下に配置される n^- 領域515、516の長さ(幅)は0～2.0 μm (代表的には0.5～1.5 μm)とすれば良い。

【0127】

さらに、ゲート配線の下に配置された n^+ 領域(分離領域)517は少数キャリアであるホール(正孔)の移動を妨げる領域として機能する。そのため、オフ電流値を低減させるのに大きな効果がある。この領域は存在するだけでオフ電流値を低減させる効果があるが、1～5 μm (好ましくは2～3 μm)あればより効果的にオフ電流値を低減することが可能である。

【0128】

また、同時に保持容量の誘電体518の膜厚は、図6(A)に示したCMOS回路のゲート絶縁膜と同じ膜厚であり、5～50nm(好ましくは10～30nm)である。勿論、活性層を酸化して形成しても良いし、CVD法またはスパッタ法により形成しても良い。

【0129】

以上のように、AM-LCDを例にとっても同一基板には様々な回路や素子が設けられ、回路や素子によって必要とする動作電圧（電源電圧）が異なることがある。この場合には本願発明のようにゲート絶縁膜の膜厚を異ならせたTFTを配置するなどの使い分けが必要となる。

【0 1 3 0】

なお、本実施例の構成を実現するにあたって、実施例1の作製工程を用いることは可能である。逆に、本実施例の数値範囲などを実施例1の作製工程を実施するにあたって適用することは有効である。

【0 1 3 1】

〔実施例3〕

実施例1において、絶縁膜220を選択的に除去する工程に際し、ドライバーTFTや保持容量となる領域での除去は図7に示すように行うことが望ましい。図7において、701は活性層、702は絶縁膜220の端部、703、704はゲート配線である。図7に示すように、ゲート配線が活性層を乗り越える部分705では、活性層701の端部に絶縁膜220を残しておくことが望ましい。

【0 1 3 2】

活性層701の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。

【0 1 3 3】

しかしながら、図7に示したような構造となるように絶縁膜220を除去しておけば、ゲート配線が乗り越える部分705においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。

【0 1 3 4】

〔実施例4〕

本実施例では、実施例1と異なる工程でAM-LCDを作製する場合の例について図8、図9を用いて説明する。

【0 1 3 5】

まず、実施例 1 の作製工程に従って、石英基板 2 0 2 上に非晶質珪素膜（図示せず）を形成し、非晶質珪素膜の結晶化した後、結晶質珪素膜でなる活性層 2 0 3、2 0 4 を形成する。

【0 1 3 6】

活性層まで形成したら、図 8（A）に示すように、活性層の上にレジストマスク 8 0 1～8 0 3 を形成し、1 5 族に属する元素（本実施例ではリン）の添加工程を行う。こうしてリンが添加された領域（以下、リンドーブ領域という）8 0 4～8 0 9 が形成される。

【0 1 3 7】

なお、レジストマスク 8 0 1～8 0 3 を形成する前に活性層表面を酸化しておくことが好ましい。酸化珪素膜を設けておくことで、活性層とレジストマスクとの密着性を高められる他、活性層が有機物で汚染されることを防げる。

【0 1 3 8】

レジストマスク 8 0 1、8 0 2 はドライバー T F T の活性層の上に設けられ、後にソース領域またはドレイン領域となる領域の一部（または全部）を露呈させるようにして配置される。また、レジストマスク 8 0 3 は画素 T F T のソース領域またはドレイン領域の一部（または全部）、及び後に実施例 1 の n^+ 領域（分離領域）5 1 7 に相当する領域を露呈させるようにして配置される。この時、8 0 8 が後に分離領域 5 1 7 に相当する領域となり、8 0 9 が後に第 1 容量電極となる。

【0 1 3 9】

また、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッターリング工程の温度、時間、さらにはリンドーブ領域の面積によって変化するため、この濃度範囲に限定されるものではない。

【0 1 4 0】

次に、レジストマスク 8 0 1～8 0 3 を除去して、5 0 0～6 5 0℃の熱処理を 2～1 6 時間加え、珪素膜の結晶化に用いた触媒元素（本実施例ではニッケル

）のゲッタリングを行う。ゲッタリング作用を奏するためには熱履歴の最高温度から±50℃程度の温度が必要であるが、結晶化のための熱処理が550～600℃で行われるため、500～650℃の熱処理で十分にゲッタリング作用を奏することができる。

【0141】

本実施例では600℃、12時間の熱処理を加えることによってニッケルが矢印の方向に移動し、リンドープ領域にゲッタリングされる。こうしてゲッタリング領域810～815が形成される。このゲッタリング領域は、810～813はTFTのソース領域またはドレイン領域の一部または全部として残り、814は実施例1の n^+ 領域517に相当する領域として残り、815は第1容量電極として残る。（図8（B））

【0142】

こうして図8（B）のゲッタリング工程まで行ったらゲート絶縁膜（図示せず）を形成してパターニングを行い、画素TFTのゲート絶縁膜220を形成する。この工程から先は実施例1の工程に従えば良いので説明は省略する。

【0143】

以上のようにして、図9に示すようなAM-LCDが完成する。図9に示すAM-LCDの断面構造は、図1に示したAM-LCDの断面構造と同じである。本実施例で異なる点は、ドライバー回路のソース領域102、106、およびドレイン領域103、107の一部に、ニッケルを含む領域901～903が存在する点である。

【0144】

このニッケルを含む領域901～903には、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上（代表的には $3 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度でニッケルが存在する。しかしながら、ニッケルはニッケルシリサイドなどの安定した状態で存在するため、TFT特性の不安定材料とはならない。

【0145】

また、本実施例（図9）ではドレイン配線127と、NTFTのドレイン領域103およびPTFTのドレイン領域107とが接するコンタクト部がニッケル

を含む領域 902 となっている。このような構成であると、金属でなるニッケルの存在により良いオーミックコンタクトを得ることができる。

【0146】

また、図 9 ではソース領域 102 とソース配線 125（またはソース領域 106 とソース配線 126）とがニッケルを含む領域を介さないで接しているが、ドレイン配線と同様に、ニッケルを含む領域を介して接するようにすることも可能であることは言うまでもない。

【0147】

以上のことは画素部のソース領域 109、ドレイン領域 110 に対しても同様である。これらの領域の一部にもニッケルを含む領域 904、906 が存在する。また、 n^+ 領域（分離領域）905 にもソース領域またはドレイン領域と同じ濃度でリンが含まれているが、 n^+ 領域 905 は多数キャリアである電子にとっては移動経路に過ぎず、ニッケルの存在は問題とならない。

【0148】

また、本実施例の特徴のもう一つは、第 1 容量電極 114 には $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度でリンが存在し、且つ、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上（代表的には $3 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）の濃度でニッケルが存在する。即ち、第 2 容量電極 122 に電圧を印加しなくても、そのまま電極として用いることが可能となっているため、AM-LCD の消費電力の低減に有効である。

【0149】

以上のように本実施例の作製工程の特徴として、ゲッタリング工程のために行われるリンの添加工程が、保持容量の下部電極に導電性を持たせるために行われるリンの添加工程を兼ねている点が挙げられる。こうすることで作製工程を増やすことなく、消費電力を低減することが可能である。

【0150】

なお、本実施例の構成は、実施例 1～3 のいずれの実施例とも自由に組み合わせることが可能である。

【0151】

〔実施例 5〕

実施例 4 の図 8 (A) の作製工程において、レジストマスク 801~803 を形成する前に、活性層を覆って予め画素 TFT 用のゲート絶縁膜 (図 8 (C) のゲート絶縁膜 220 のパターニング前の状態に相当する。) を形成しておくこともできる。

【0152】

即ち、図 8 (A) のリンの添加工程は 50~200nm の膜厚で設けられたゲート絶縁膜を介したスルードーピングで行われることになる。そして、レジストマスク 801~803 を除去した後、ゲート絶縁膜で活性層が覆われたままゲッタリング工程が行われる。ゲッタリング工程が終了したら、ゲート絶縁膜のパターニングを行い、図 8 (C) と同様の構造となる。

【0153】

本実施例の利点は、ゲッタリング工程の際に、活性層が露呈していない点である。活性層が露呈している場合、処理温度、処理雰囲気等の条件によってはリンドーピング領域 804~809 に存在するリンが雰囲気中を拡散し、後にチャネル形成領域となる領域にまで添加されてしまう恐れがある。しかしながら、本実施例のようにゲート絶縁膜で覆っていればそういった問題は起こらない。

【0154】

なお、本実施例の構成は、実施例 1~3 のいずれの実施例とも自由に組み合わせることが可能である。また、最終的に完成した AM-LCD の特徴に関しては実施例 4 で説明した図 9 と同様であるので説明は省略する。

【0155】

〔実施例 6〕

本実施例では、実施例 1 に示した作製工程で基板上に TFT を形成し、実際に AM-LCD を作製した場合について説明する。

【0156】

図 4 (C) の状態が得られたら、画素電極 253 上に配向膜を 80nm の厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極 (対向電極)、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング

処理を行い、シール材（封止材）を用いて T F T が形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0 1 5 7】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角 1 インチ以下の A M-L C D のようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0 1 5 8】

次に、以上のようにして作製した A M-L C D の外観を図 1 0 に示す。アクティブマトリクス基板（図 4（C）の T F T が形成された基板を指す）1 1 には画素部 1 2、駆動回路（ソースドライバ回路 1 3、ゲートドライバ回路 1 4）、画素部及び駆動回路以外の論理回路（信号分割回路、D/A コンバータ回路、 γ 補正回路、差動増幅回路等）1 5 が形成され、F P C（フレキシブルプリントサーキット）1 6 が取り付けられている。なお、1 7 は対向基板である。

【0 1 5 9】

これらの画素部や駆動回路を形成する T F T は実施例 1 の作製工程に従って形成される。また、T F T 構造は実施例 1 を参考にして最適なものを配置すれば良い。なお、本実施例は実施例 1 ～ 5 のいずれの実施例とも自由に組み合わせることが可能である。

【0 1 6 0】

〔実施例 7〕

本実施例では、図 1 に示したアクティブマトリクス基板において、画素部における一画素の上面図を図 1 1 に示す。なお、図 1 1 を 1 点鎖線 A-A' で切った断面図が図 1 に示した断面図に相当する。従って、図 1 と同一の符号を付してある部分は図 1 の説明をそのまま参照することができる。

【0 1 6 1】

なお、2 1 はゲート配線であり、1 2 1 はゲート配線が活性層と重なる部分である。図 1 では 1 2 1 で示される部分をゲート配線と呼んでいるが、ゲート電極と呼んでも差し支えない。また、2 2 で示される点線で囲んだ領域は、第 1 容量

電極 1 1 4 と容量配線 1 2 2 とが誘電体（図示せず）を介して重なり合って保持容量を形成している領域を示している。

【0 1 6 2】

また、2 3 はソース領域 1 0 9 とソース配線 1 2 8 とのコンタクト部、2 4 はドレイン領域 1 1 0 とドレイン配線 1 2 9 とのコンタクト部、2 5 はドレイン配線 1 2 9 と画素電極 1 3 4 とのコンタクト部を示している。また、2 6 は画像表示領域を示している。

【0 1 6 3】

従来のダブルゲート構造の画素 T F T を用いるのに比べ、本願発明の画素 T F T を用いると、一画素に対する画素 T F T の占有面積を低減することが可能となり、開口率（一画素の面積に対して画像表示領域の占有する面積の割合）を増加させることができる。

【0 1 6 4】

なお、図 1 1 に示した本実施例の構造は、実施例 1 に示した作製工程に従って作製することが可能である。また、実施例 3 ～ 5 のいずれの構成を実施例 1 と組み合わせても良い。

【0 1 6 5】

〔実施例 8〕

本願発明は従来の M O S F E T 上に層間絶縁膜を形成し、その上に T F T を形成する際に用いることも可能である。即ち、半導体回路上に反射型 A M - L C D が形成された三次元構造の半導体装置を実現することも可能である。

【0 1 6 6】

また、前記半導体回路は S I M O X、S m a r t - C u t（SOITEC社の登録商標）、E L T R A N（キャノン株式会社の登録商標）などの S O I 基板上に形成されたものであっても良い。

【0 1 6 7】

なお、本実施例を実施するにあたって、実施例 1 ～ 7 のいずれの構成を組み合わせても構わない。

【0 1 6 8】

〔実施例 9〕

本発明はアクティブマトリクス型 EL ディスプレイに適用することも可能である。その例を図 12 に示す。

【0169】

図 12 はアクティブマトリクス型 EL ディスプレイの回路図である。81 は画素部を表しており、その周辺には X 方向制御回路 82、Y 方向制御回路 83 が設けられている。また、画素部 81 の各画素は、スイッチ用 TFT 84、コンデンサ 85、電流制御用 TFT 86、有機 EL 素子 87 を有し、スイッチ用 TFT 84 に X 方向信号線 88a (または 88b)、Y 方向信号線 89a (または 89b、89c) が接続される。また、電流制御用 TFT 86 には、電源線 90a、90b が接続される。

【0170】

本実施例のアクティブマトリクス型 EL ディスプレイでは、X 方向制御回路 82、Y 方向制御回路 83 又は電流制御用 TFT 86 として図 1 に示した CMOS 回路を用い、スイッチ用 TFT 84 として図 1 に示した画素 TFT を用いることが可能である。

【0171】

なお、本実施例のアクティブマトリクス型 EL ディスプレイは図 4 (C) に示したアクティブマトリクス基板を作製した後、公知の手段により EL 層を形成すれば良い。従って、実施例 1 の作製工程を用いることは可能であり、実施例 3～5、7 又は 8 のいずれの構成とも自由に組み合わせることが可能である。

【0172】

〔実施例 10〕

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN 液晶、PDLC (ポリマー分散型液晶)、FLC (強誘電性液晶)、AFLC (反強誘電性液晶)、または FLC と AFLC の混合物 (反強誘電性混合液晶) が挙げられる。

【0173】

例えば、「H.Furue et al.; Characteristics and Drivng Scheme of Polymer-

Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、 「T. Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、 「S. Inui et al.; Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J. Mater. Chem. 6(4), 1996」、 または米国特許第5,594,569号に開示された材料を用いることができる。

【 0 1 7 4 】

特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶 (Thresholdless Antiferroelectric LCD: TL-AFLCと略記する) にはV字型 (またはU字型) の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度 (セル厚約1 μ m～2 μ m) のものも見出されている。そのため、画素回路用の電源電圧が5～8V程度で済む場合があり、制御回路と画素回路を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

【 0 1 7 5 】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFEは非常に動作速度の速いTFEを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【 0 1 7 6 】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【 0 1 7 7 】

なお、本実施例の構成は実施例2、6に示したAM-LCDに用いることが可能である。また、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0178】

〔実施例11〕

本発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0179】

その様な電子機器としては、液晶ディスプレイ、ビデオカメラ、デジタルスチルカメラ、プロジェクター（リア型またはフロント型）、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら半導体装置の例を図13に示す。

【0180】

図13（A）はパーソナルコンピュータであり、本体2001、受像部2002、表示装置2003、キーボード2004等で構成される。本願発明は表示装置2004に用いることができる。

【0181】

図13（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等で構成される。本願発明を表示装置2102に用いることができる。

【0182】

図13（C）はゴーグル型ディスプレイであり、本体2201、表示装置2202、アーム部2203等で構成される。本発明は表示装置2202に用いることができる。

【0183】

図 1 3 (D) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 3 0 1、記録媒体（CD、LD または DVD 等）2 3 0 2、操作スイッチ 2 3 0 3、表示装置（a）2 3 0 4、表示装置（b）2 3 0 5 等で構成される。表示装置（a）は主として画像情報を表示し、表示装置（b）は主として文字情報を表示するが、本発明はこれら表示装置（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD 再生装置、ゲーム機器などに本発明を用いることができる。

【0 1 8 4】

図 1 3 (E) はフロント型プロジェクターであり、本体 2 4 0 1、光源、光学系レンズ及び表示装置を含む光学エンジン 2 4 0 2 等で構成され、スクリーン 2 4 0 3 に画像を表示することができる。本発明は光学エンジン 2 4 0 2 に内蔵される表示装置（図示せず）に用いることができる。なお、表示装置は 3 枚用いる方式でも 1 枚用いる方式でも良く、透過型表示装置であっても反射型表示装置であっても良い。

【0 1 8 5】

図 1 3 (F) はリア型プロジェクターであり、本体 2 5 0 1、光源、光学系レンズ及び表示装置を含む光学エンジン 2 4 0 2、光源 2 5 0 2、リフレクター 2 5 0 3、2 5 0 4、スクリーン 2 5 0 5 等で構成される。本発明は光学エンジン 2 5 0 2 に内蔵される表示装置（図示せず）に用いることができる。なお、表示装置は 3 枚用いる方式でも 1 枚用いる方式でも良く、透過型表示装置であっても反射型表示装置であっても良い。

【0 1 8 6】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～1 2 のどのような組み合わせからなる構成を用いても実現することができる。

【0 1 8 7】

【発明の効果】

本願発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有する TFT を形成することができる。そのため、AM-LCD に代表される電気光学装

置や、そのような電気光学装置を表示媒体（表示ディスプレイ）として有する電子機器等の半導体装置において、半導体装置の各部位が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができる。

【0188】

また、AM-LCDの画素マトリクス回路において、工程数を増やすことなく保持容量の誘電体を薄くすることができ、小さい面積で大きなキャパシティを有する保持容量を形成することができる。さらに、画素TFTを従来の機能を損なうことなく縮小化することができるため、対角2インチ以下といった小さいサイズのAM-LCDにおいても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

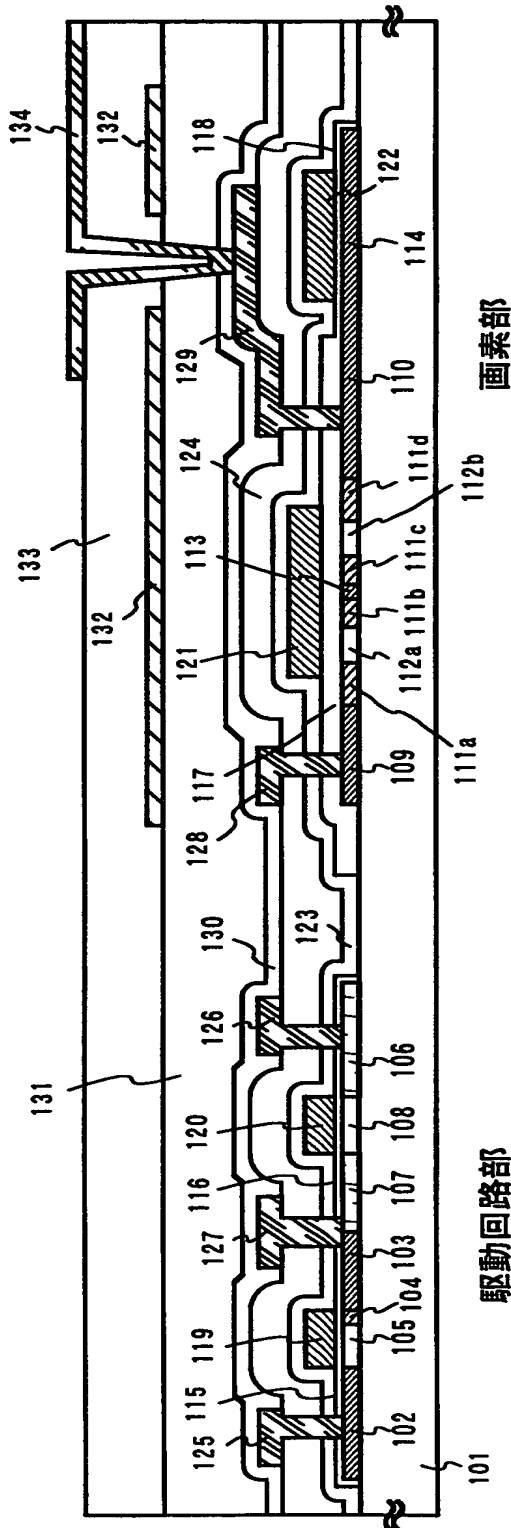
【図面の簡単な説明】

- 【図1】 アクティブマトリクス基板の断面構造を示す図。
- 【図2】 アクティブマトリクス基板の作製工程を示す図。
- 【図3】 アクティブマトリクス基板の作製工程を示す図。
- 【図4】 アクティブマトリクス基板の作製工程を示す図。
- 【図5】 アクティブマトリクス基板のブロック図を示す図。
- 【図6】 アクティブマトリクス基板の各部位の断面構造を示す図。
- 【図7】 ドライバーTFT（CMOS回路）の構造を示す図。
- 【図8】 アクティブマトリクス基板の作製工程を示す図。
- 【図9】 アクティブマトリクス基板の断面構造を示す図。
- 【図10】 AM-LCDの外観を示す図。
- 【図11】 画素の上面構造を示す図。
- 【図12】 アクティブマトリクス型EL表示装置の回路構成を示す図。
- 【図13】 電子機器の例を示す図。

【書類名】

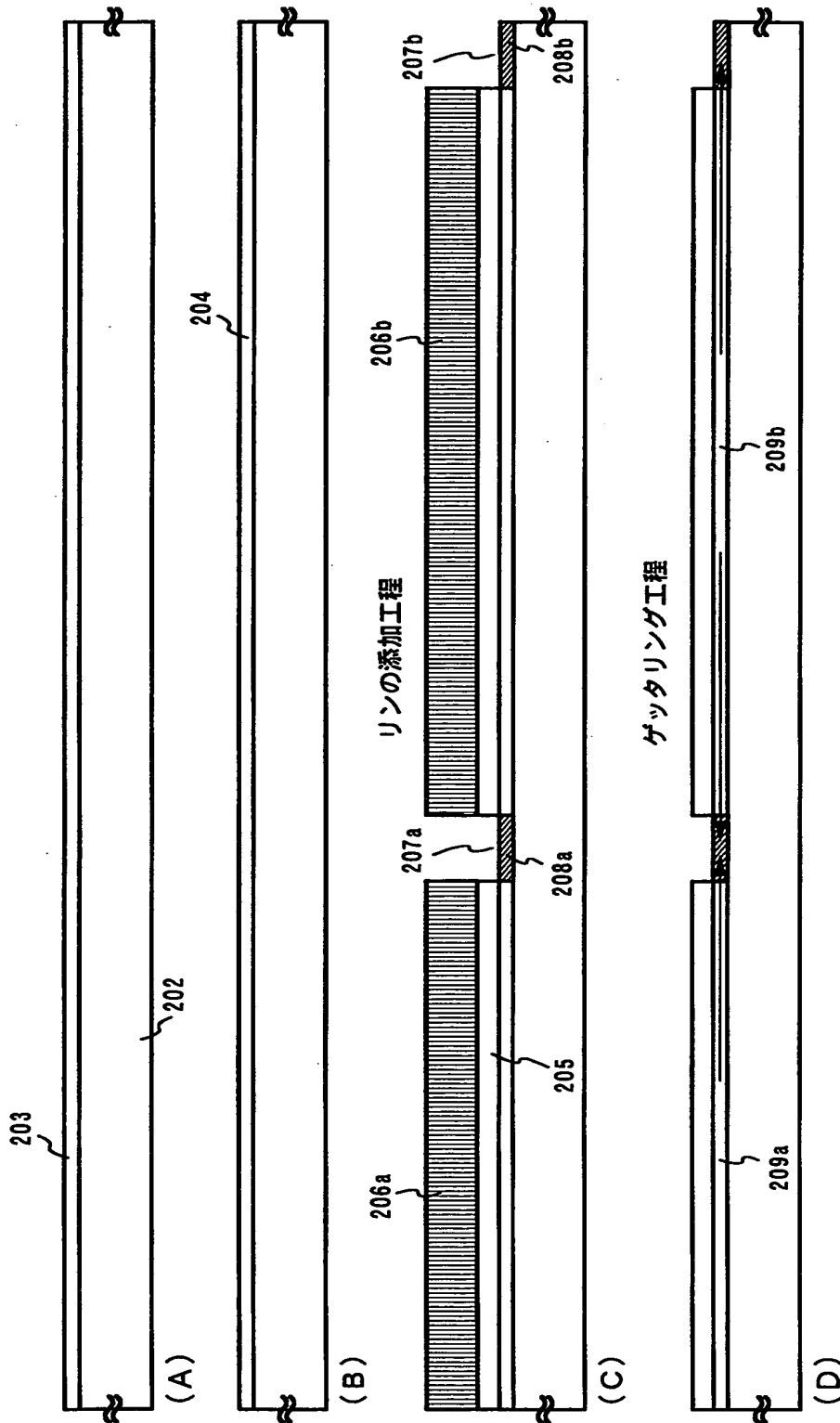
図面

【図 1】



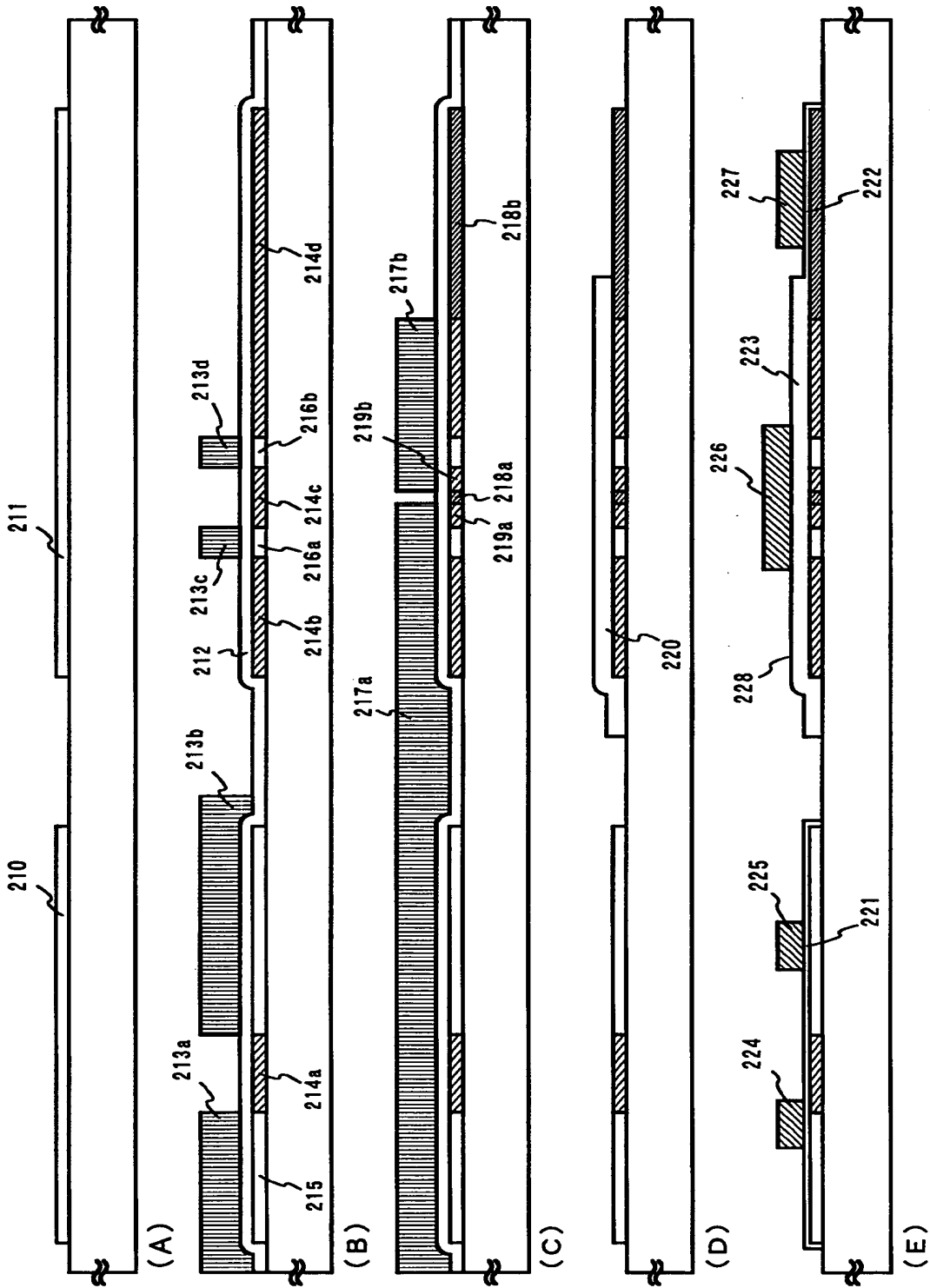
101:基板 102, 106, 109:ゲート領域 103, 107, 110:ドレイ領域 104, 111a~111d: LDD領域
 105, 108, 112a, 112b:チャネル形成領域 113:分離領域 114:第1容量電極 115, 116, 117:ゲート絶縁膜
 118:保持容量の誘電体 119, 120, 121a, 121b:ゲート配線 (又はゲート電極) 122:第2容量電極 123:保護膜
 124:第1層間絶縁膜 125, 126, 128:ソース配線 127, 129:ドレイ配線 130:パッシベーション膜 131:第2層間絶縁膜
 132:遮蔽膜 133:第3層間絶縁膜 134:画素電極

【図 2】



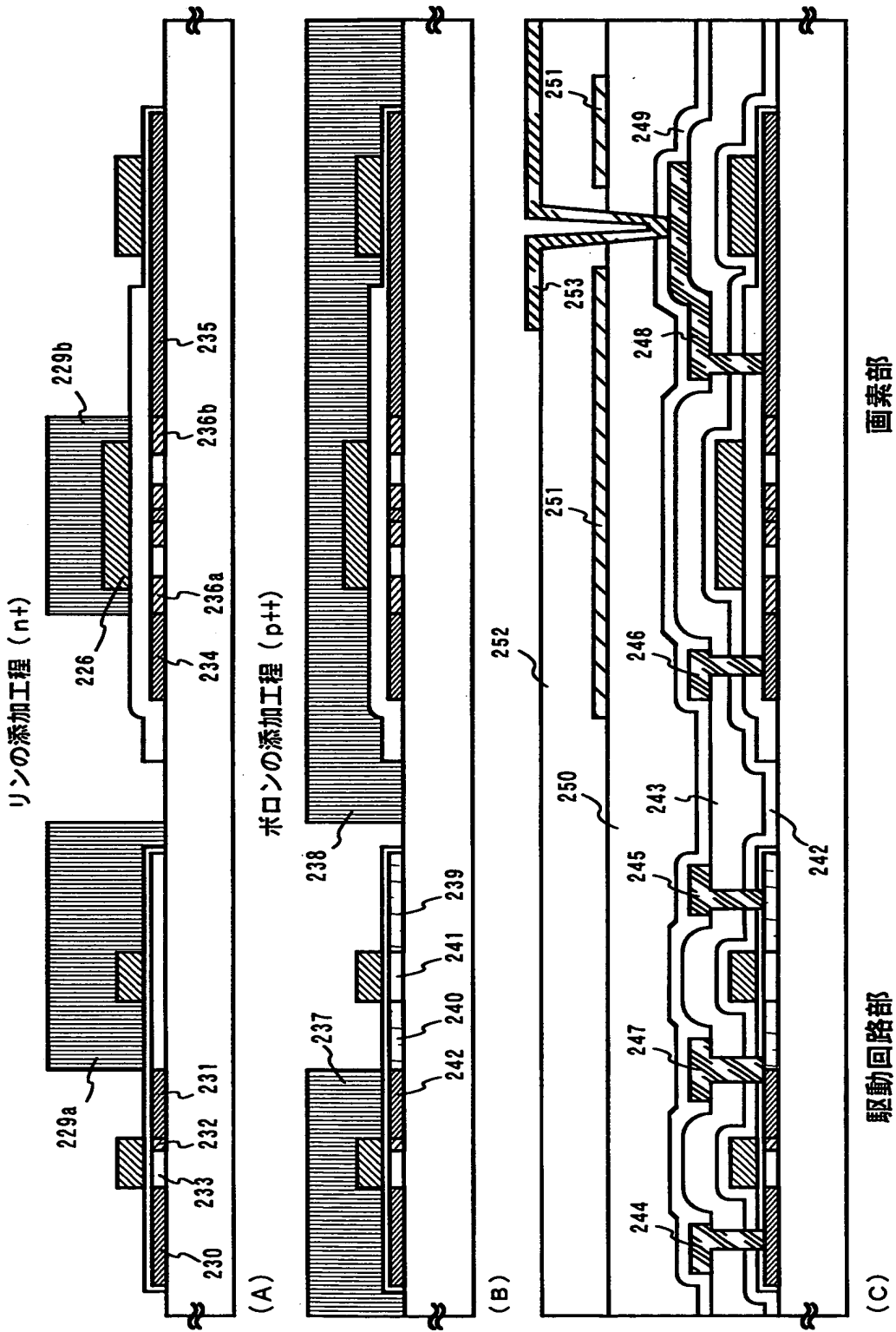
202:石英基板、203:非晶質珪素膜、204:結晶質珪素膜、205:酸化珪素膜(マク膜)、206a,206b:シストマスク、207a,207b:開口部、208a,208b:リフト-フ領域、209a,209b:結晶質珪素膜

【図 3】



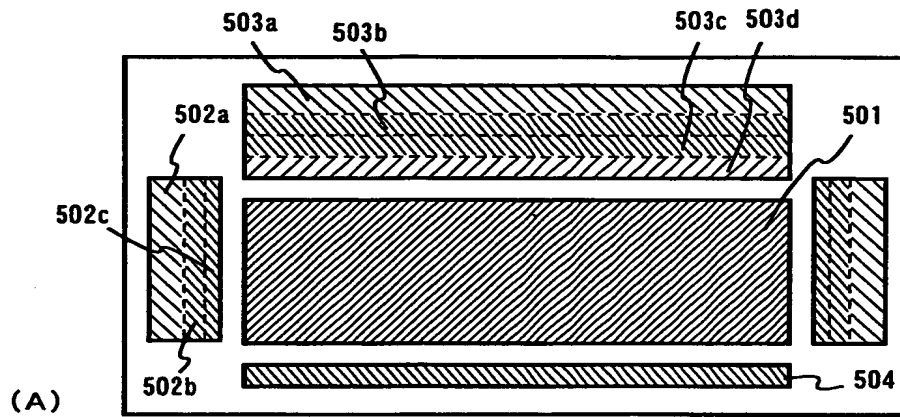
210, 211: 活性層 212: ゲート絶縁膜 213a, 213b, 217a, 217b: LDD領域 214a~214d: n-領域 216a, 216b: チャネル形成領域
 218a: 分離領域 218b: 第1容量電極 219a, 219b: LDD領域 220: ゲート絶縁膜 221, 223: ゲート絶縁膜 222: 保持容量の誘電体
 224~226: ゲート配線 227: 第2容量電極

【図 4】



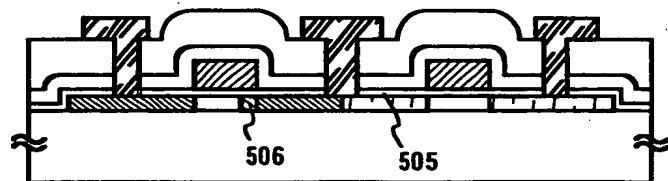
229, 233: γ -ス領域 230, 234: ドレイン領域 232: チャネル形成領域 231, 235a, 235b: LDD領域 238: γ -ス領域
239, 241: ドレイン領域 240: チャネル形成領域 242: 保護膜 243: 第1層間絶縁膜 244, 245, 246: γ -S配線
247, 248: ドレイン配線 249: N⁺コンタクト膜 250: 第2層間絶縁膜 251: 遮光膜 252: 第3層間絶縁膜 253: 画素電極

【図 5】

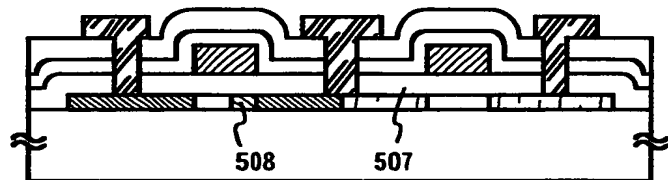


501:画素部 502a, 503a:シフトレジスタ回路 502b, 503b:レベルシフト回路
502c, 503c:バッファ回路 503d:サンプリング回路 504:プリチャージ回路

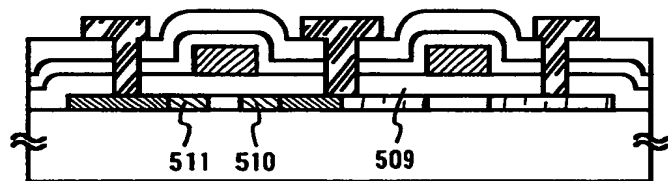
【図 6】



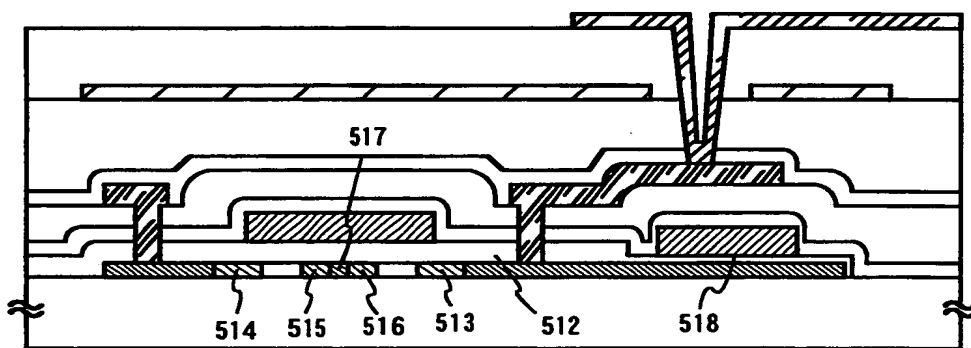
(A) 示した領域のCMOS回路



(B) 示した領域のCMOS回路

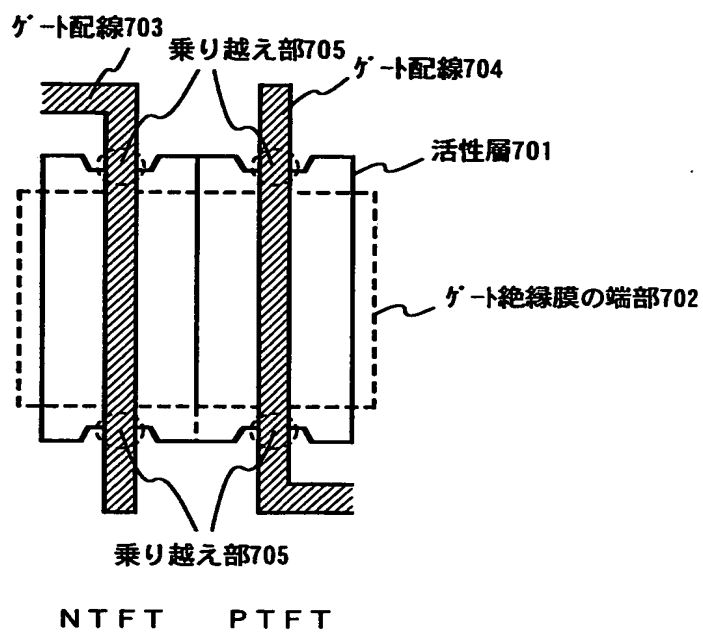


(C) 示した領域のサブリング回路

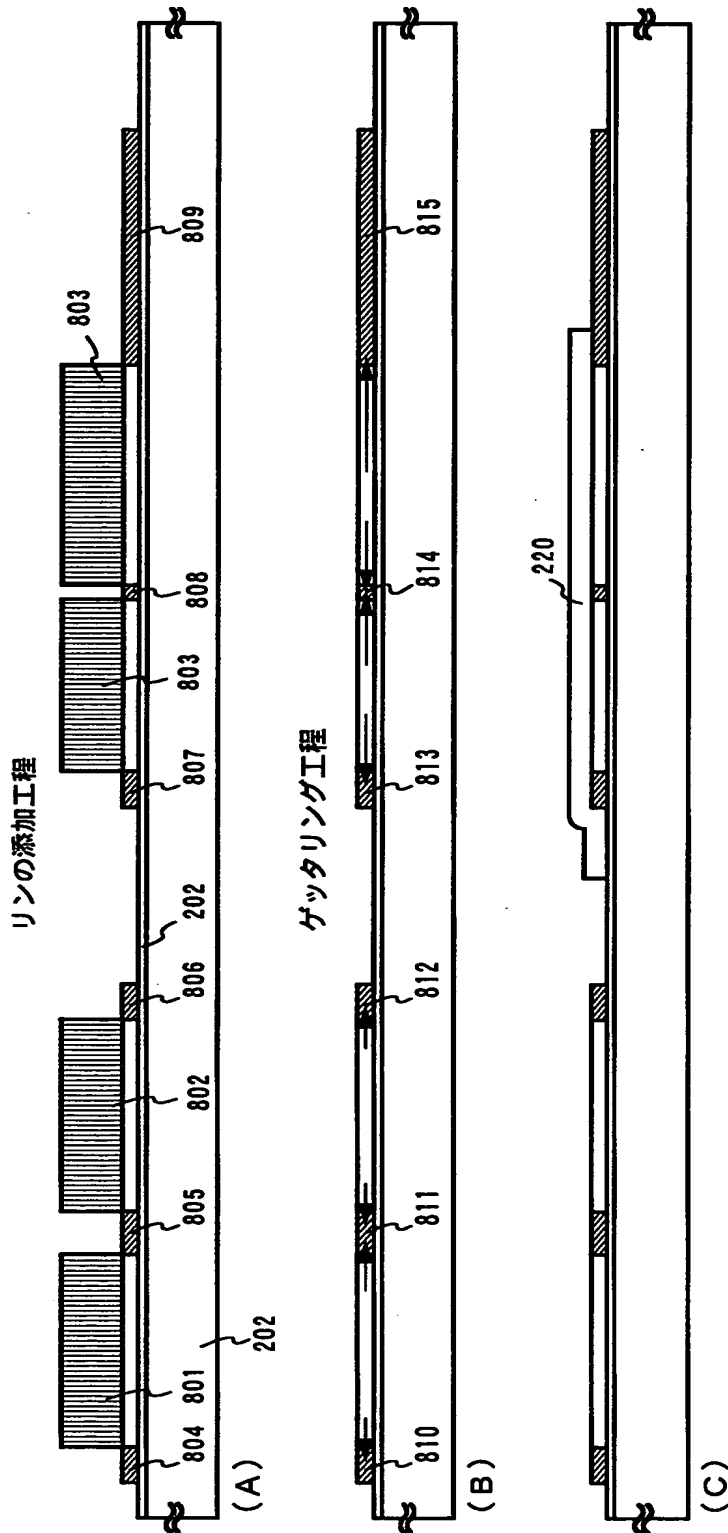


(D) 示した領域の画素トリクス回路

【图7】

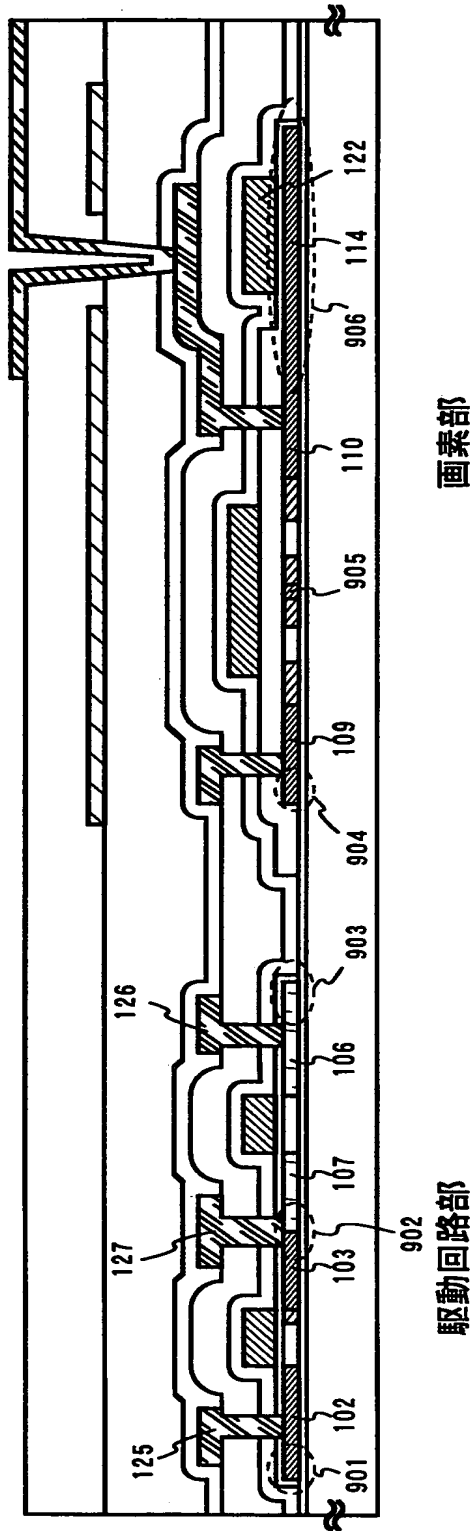


【図 8】

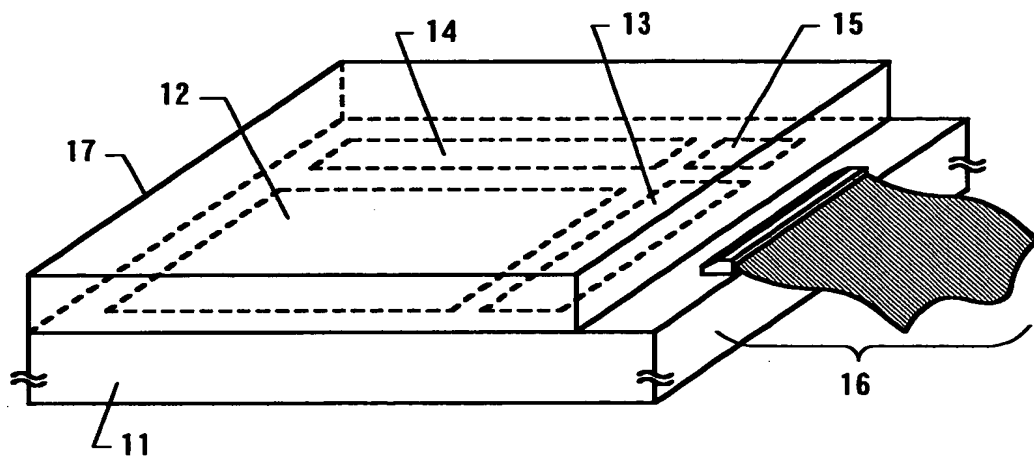


202:石英基板 801~803:レジスタマスク 804~809:リンドープ領域 810~815:ゲッタリング領域 220:ゲート絶縁膜

【図9】

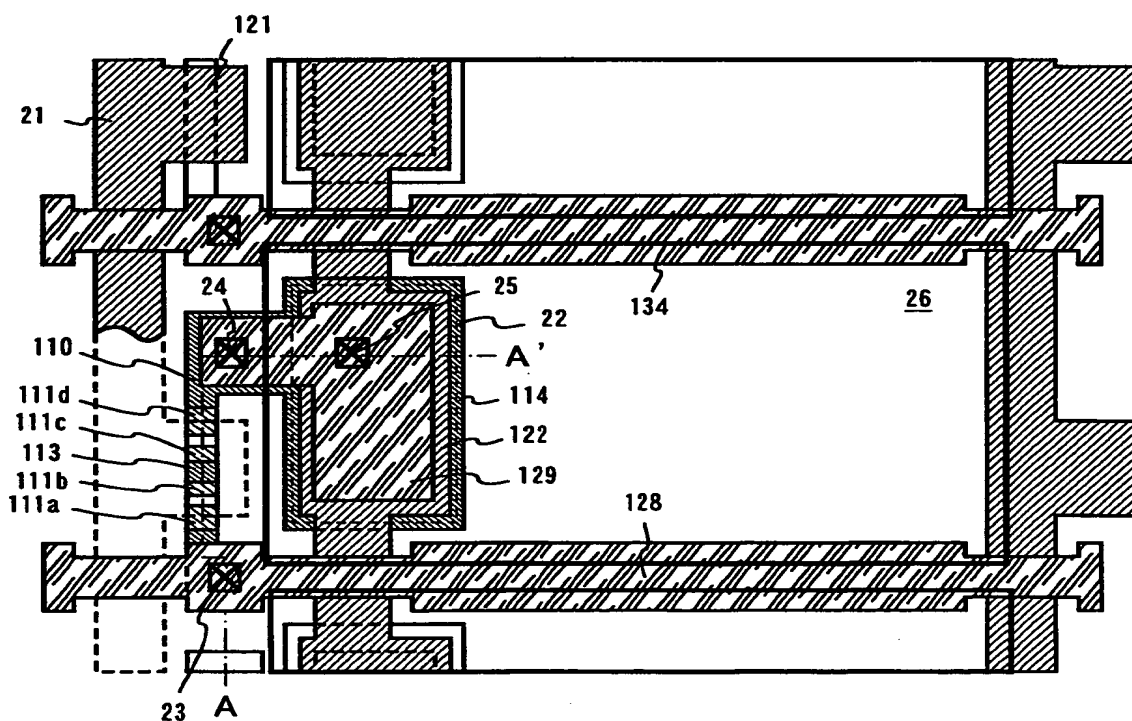


【図 1 0】

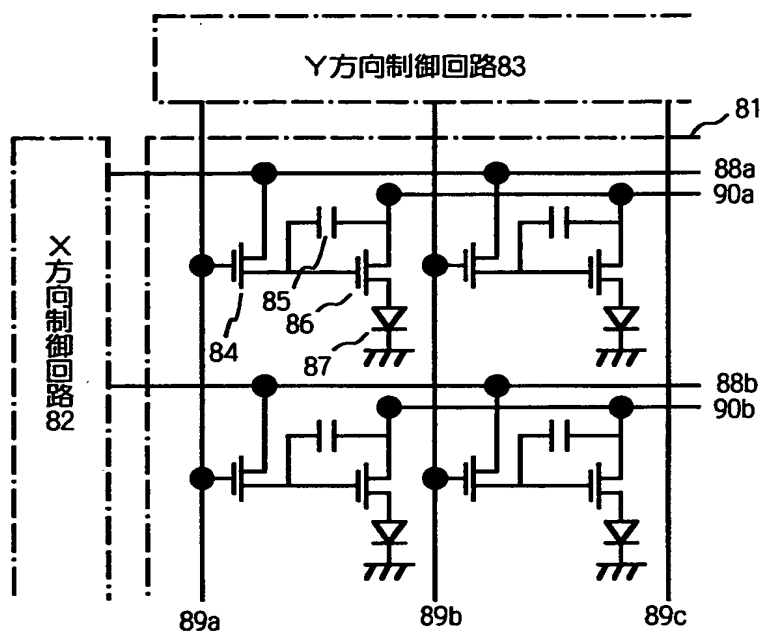


11 : 基板 12 : 画素部 13 : ソースドライバ回路
14 : ゲートドライバ回路 15 : 論理回路 16 : FPC
17 : 対向基板

【図 1 1】

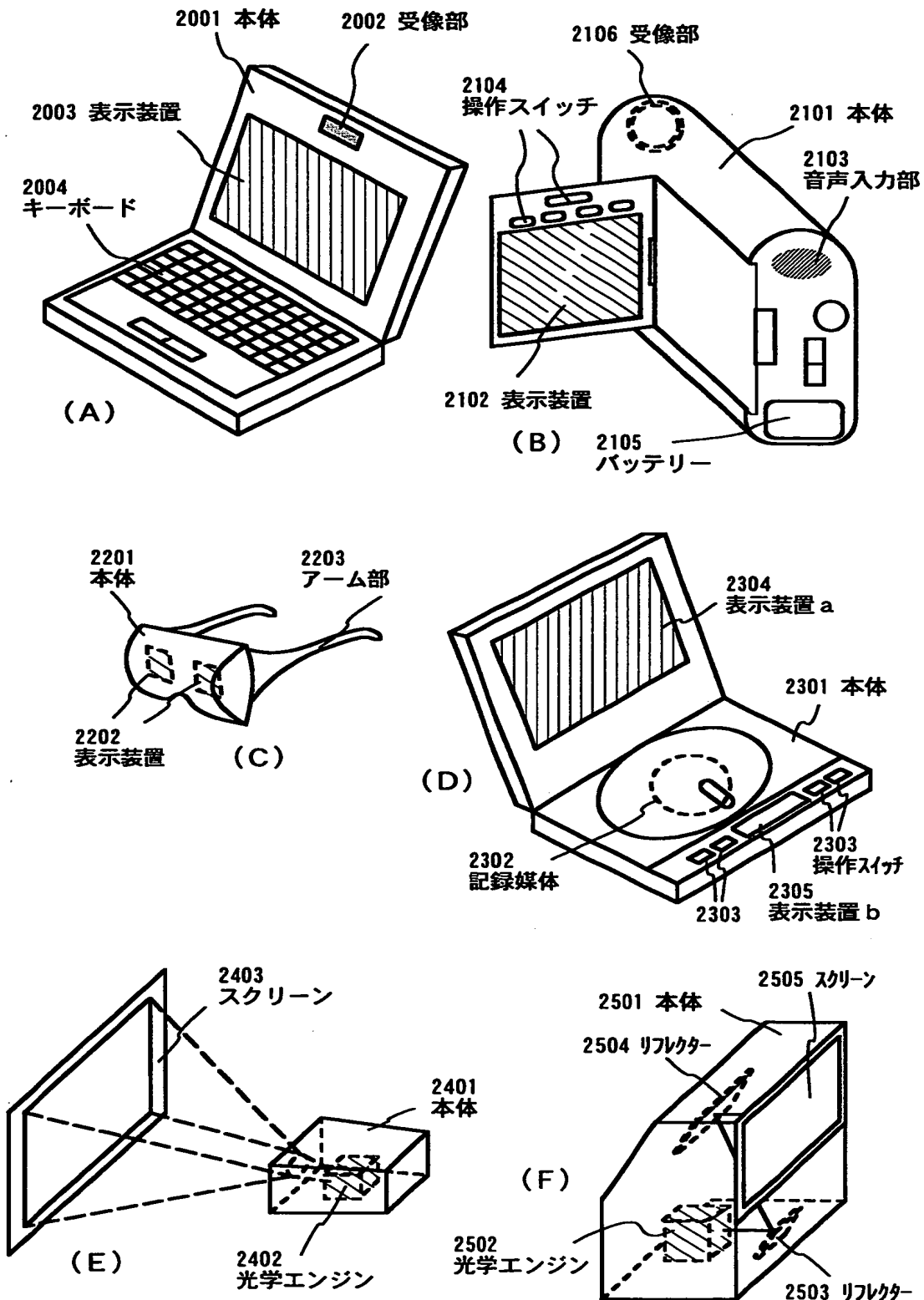


【図 1 2】



81:画素部 82:X方向制御回路 83:Y方向制御回路
 84:スイッチ用TFT 85:コンパ 86:電流制御用TFT 87:有機EL素子
 88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

【図 13】



【書類名】 要約書

【要約】

【課題】 回路機能に応じて適切な構造のT F Tを配置し、高い信頼性を有する半導体装置を提供する。

【解決手段】 同一基板上に駆動回路部と画素部とを有する半導体装置において、ドライバT F Tのゲート絶縁膜 1 1 5、1 1 6を画素T F Tのゲート絶縁膜 1 1 7よりも薄く設計する。また、画素T F Tではゲート電極 1 2 1の下にチャネル形成領域 1 1 2 a、1 1 2 bが形成され、その間に分離領域 1 1 3が形成される。その際、L D D領域 1 1 1 a、1 1 1 dはゲート電極に重なる領域と重ならない領域とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所